

[19]中华人民共和国专利局

[51]Int.Cl⁶

H01L 21/76

H01L 21/30



[12] 发明专利申请公开说明书

[21] 申请号 96119843.5

[43]公开日 1997年8月27日

[11] 公开号 CN 1158004A

[22]申请日 96.9.27

[30]优先权

[32]95.9.28 [33]JP[31]251556/95

[71]申请人 日本电气株式会社

地址 日本国东京都

[72]发明人 滨崎智宏

新井谦一

[74]专利代理机构 中科专利代理有限责任公司

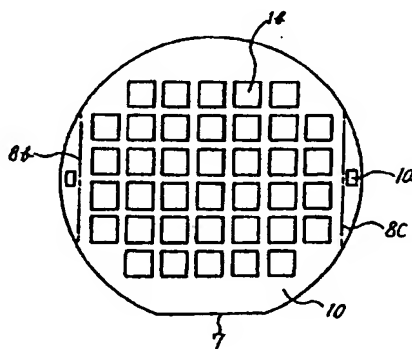
代理人 林道濂 卢纪

权利要求书 3 页 说明书 8 页 附图页数 5 页

[54]发明名称 复合式绝缘体上硅薄膜基片及其制作方法

[57]摘要

本发明揭示了一种复合式 SOI 基片，其容许通过使用传统可见光校准器，对埋于 SOI 基片内的绝缘体膜图型及在 SOI 基片层上形成的图型进行高精度校准。复合式 SOI 基片是通过在第一硅基片 10 的主表面边缘上形成校准氧化物薄膜图型 1a；制备在其边缘有最好是 V 形槽部分 9 的第二硅基片以使第一硅基片上的校准图型显露出来；将第二硅基片与前述第一硅基片 10 的主表面相联接同时将校准，氧化物薄膜图型 1a 显露出来；然后将第二硅基片变薄形成为一个 SOI 层 20a。



(BJ)第 1456 号

权 利 要 求 书

1. 一种复合式的 SOI 基片, 其特征在于, 它包括:

具有一个主表面的第一硅基片, 所述主表面有隐埋于所述主表面的绝缘体膜形成的多个图型, 所述的多个图型包括在所述的第一硅基片的边缘部分之上的校准图型; 及

一个与所述的第一硅基片相联接的一个第二硅基片, 所述的第二硅基片与所述的第一硅基片的所述主表面相联接, 其中在所述的第一硅基片的所述边缘部分之上的所述校准图型是显露的。

2. 根据权利要求 1 所述的复合式 SOI 基片, 其特征在于所述第二硅基片的宽度比所述第一硅基片的宽度窄。

3. 根据权利要求 1 所述的复合式 SOI 基片, 其特征在于所述的第一硅基片和所述的第二硅基片基本上是圆形的, 其中所述第二硅基片的半径比所述第一硅基片的半径要小。

4. 根据权利要求 1 所述的复合式 SOI 基片, 其特征在于所述的第二硅基片有至少两个位于边缘部分的槽部分以使所述的校准图型显露出来。

5. 根据权利要求 1 所述的复合式 SOI 基片, 其特征在于所述的第一硅基片的至少部分边缘部分形成与隐埋在所述主表面内的所述绝缘体膜的厚度一致从而将所述的校准图型显露出来。

6. 一种制造复合式 SOI 基片的方法, 其特征在于它包括:

形成在隐埋第一硅基片的主表面内的绝缘体膜的多个图型的制作步骤, 所述的多个图型包括形成于所述的第一硅基片的边缘部分的校准图型;

在一个第二硅基片的边缘部分之上形成至少两个槽部分的步骤; 及

将所述的第二硅基片与所述的第一硅基片所述主表面相联接的步骤, 同时将所述的槽部分调节在所述校准图型之上以使所述校准图型显露出来。

7. 根据权利要求 6 所述的制造复合式 SOI 基片的方法, 其特征在于所述的联接步骤包括在氧化气氛中于 1100 °C 到 1200 °C 下处理所述第一

和第二硅基片。

8. 一种制造复合式 SOI 基片的方法，其特征在于包括：

形成隐埋在第一硅基片的主表面内的绝缘体膜的多个图型的步骤，所述多个图型包括在所述的第一硅基片的边缘部分之上形成的校准图型；及

一个将第二硅基片与所述第一硅基片的所述主表面相联接的步骤，所述的第二硅基片的侧面宽度比所述的第一硅基片的要窄以使所述校准图型显露出来。

9. 根据权利要求 8 所述的制造复合式 SOI 基片的方法，其特征在于所述的联接步骤包括在氧化气氛中于 1100 °C 到 1200 °C 下处理所述第一及第二硅基片。

10. 根据权利要求 8 所述的制造复合式 SOI 基片的方法，其特征在于所述的第一硅基片及所述第二硅基片基本上是圆形的且所述第二硅基片的半径比所述第一硅基片的半径小。

11. 一种制造复合式 SOI 基片的方法，其特征在于包括：

在第一硅基片的主表面上形成绝缘体膜的多个图型的步骤，所述多个图型包括在所述第一硅基片的边缘部分之上形成的校准图型；

一个将第二硅基片与所述第一硅基片的主表面相联接的步骤；及

一个除去所述的第二硅基片的边缘部分以使形成于所述第一硅基片之上的所述校准图型显露出来的步骤。

12. 根据权利要求 11 所述的制造复合式 SOI 基片的方法，其特征在于所述的联接步骤包括在氧化气氛中于 1100 °C 到 1200 °C 下处理所述第一及第二硅基片。

13. 一种制造复合式 SOI 基片的方法，其特征在于包括：

形成隐埋在所述的第一硅基片的主表面内的绝缘体膜的多个图型的步骤，所述多个图型包括在所述的第一硅基片的边缘部分之上形成的校准图型的步骤；

一个将第二硅基片与所述第一硅基片的所述主表面相联接的步骤；及

一个从相对于所述第一硅基片的所述主表面的表面除去所述边缘部分，以使所述的包含埋于所述主表面的边缘部分中的所述绝缘体膜校准图型

显露出来。

14. 根据权利要求 13 所述的制造复合式 SOI 基片的方法, 其特征在于所述的联接步骤包括在氧化气氛中 1100 °C 到 1200 °C 下处理第一及第二硅基片。

说明书

复合式绝缘体上硅薄膜基片及其制作方法

本发明涉及一种联接复合式绝缘体上硅薄膜基片（此后称 SOI）的结构，及该基片的制作方法。

相关技术的描述如下：用连接基片技术制成的 SOI 基片为代表的多层结构的基片随着其联接性能的改进，最近发现有广泛的用途。特别是，那些具有诸如隐埋的氧化硅层的绝缘层的 SOI 基片，已被实际应用作为需要高耐压的电源集成电路等领域的介电分离基片。在电源装置领域中，通过在基片表面上定位提供 SOI 结构，由此在单芯片上形成一个高耐压、竖立的电源金属氧化物半导体场效应晶体管（MOSFET）装置区，及一低耐压、控制电流装置区来满足对高密度和高耐压的要求，这在诸如日本特许出愿公开平 4-29353 号中已有描述。制作这种类型的 SOI 基片的方法将参考附图 8 进行阐述。

首先，通过 RIE（活性离子蚀刻）或其它蚀刻方法在 N^+ 型(100) 硅基片 21 的表面一定部分形成一个大约 $1\mu m$ 高的表面台阶。这在图 8（a）中有显示。通过热氧化或其它方法在硅基片 21 的整个表面上形成一个氧化硅薄膜 22。氧化硅薄膜 22 的高出部分通过机械研磨被除去，而提供一个包含单晶硅 21 和氧化硅薄膜 22 的平滑的表面。如此形成的硅基片此后将被称为“第二”基片。

然后，如图 8（b）中所显示的，第二硅基片 21 被翻转过来，且其包含氧化硅薄膜 22 的平滑侧表面与一个 N^- 型(100) 硅基片 11 的主表面直接面对面地联接，我们称其为第一基片。所获得的复合结构通过热处理来保证其联结。最后，正如在图 8（c）中显示的，第二硅基片 21 的非联结表面通过研磨和抛光过程制成预先设定的厚度。通过这种方法，在氧化硅薄膜 22 上面形成一个

优质的单晶硅薄膜。此后,如此形成的单晶硅层将被称为“SOI层”。

这个 SOI 层在后面一个步骤中被进一步加工,形成一个控制电流装置区。该控制电流装置区是通过现已隐埋的氧化硅层 22, 以及稍后形成于第二硅基片 21 中 V 形槽内的氧化膜 22 a 和多晶硅膜 23 与竖立电源金属氧化物半导体场效应晶体管 (MOSFET) 装置区介电分离的。

这里,隐埋的氧化薄膜 22 被幕制为所需的模式,其根据在 SOI 层内的顶部形成的控制电流装置的模式来决定。因此,在 SOI 层的表面上形成该装置的早期过程步骤中,很有必要完成光刻掩模图型及隐埋的氧化薄膜 22 的图型的校准。然而,由于被上面的 SOI 层所覆盖,隐埋的氧化薄膜的模式用可见光无法观察到。

一种用于观察埋于联接的硅基片内的结构的方法是用从红外光转换过来的图像。与这有关的日本特许出願公开平 2 - 312220 号中,揭示了一种基于此方法的校准器例子。这种仪器用于每一基片上形成有装置层的多个基片的校准。

现在将针对隐埋的氧化物薄膜图型及掩模图型的校准方法参照图 7 进行说明,该方法应用红外校准器的原理。图 7 显示了生产一个联接 SOI 基片的最初光校准阶段中的 SOI 基片及一个光刻掩模的剖面图。在第一硅基片 10 内形成包含用于装置分离的氧化物薄膜 1b 和用于校准的氧化物薄膜 1a 的氧化物薄膜图型。在第一硅基片 10 的表面的顶端联接一个 SOI 层 20b 从而构成一个联接的基片。在此 SOI 层 20b 的其它面上提供一个光刻胶薄膜 3。在联接基片的上面是具有 5A 及 5B 掩膜图型的作为光掩膜的石英基片 4, 石英基片 4 和联接的 SOI 基片均被设计成可移动的模式(一个晶片夹具及其它装置未显示出)。

应用这种结构,通过由置于硅基片 10 下面的红外辐射源发射出的红外光 6 传输的图像来完成校准掩模图型 5A 和校准氧化物薄膜图型 1a 的校准。

这种传输来的红外图像通过两个或更多的红外显微镜来观察。

通常的,广泛应用的可见光校准器不能用于校准图型埋于其内的 SOI 基片的校准,因此很有必要另外提供一个红外辐射源,一个红外显微镜,一个传输

红外辐射的晶片夹盘等。另外,由于用了一个红外源从而不能照射基片的整个表面而使视野受到了限制,并且由于传输来的图像的低对比度使得识别细微校准图型的形状及由此完成校准存在一定困难。这自然产生了大约 $\pm 1\mu\text{m}$ 的低校准精度的问题。因此,由于校准的失误造成的偏差已不可必免地损害了装置的性能。

为了克服上述已有技术的不足,本发明的一个目的是提供一个带有可以应用可见光校准器的校准图型的 SOI 基片及制作此类 SOI 基片的方法。

按照本发明的第一种方式的 SOI 基片是一个包含一第一硅基片以及一与第一硅基片相联接的第二硅基片的复合式 SOI 基片,该第一硅基片的主表面上形成多个包含在周边部分之上的校准图型的绝缘体薄膜图型;一第二硅基片与第一硅基片的绝缘体膜图型成形的表面相接。按照第一个实施例的 SOI 基片的特征在于包含绝缘体薄膜且形成于第一硅基片的周围之上的校准图型在完成联接后会被显露出来。也就是说,至少第二硅基片的部分边缘被除去,或者形成的第一硅基片的边缘与绝缘体膜的厚度相一致以便将校准图型显露出来。

本发明的第二种方式是一种生产 SOI 基片的方法,它包含:在一个第一硅基片的表面之上形成多个绝缘体薄膜图型的步骤,该多个图型包括在其成形于周缘上的校准图型;在第二硅基片的边缘部分形成多个槽的步骤;将第二硅基片与第一硅基片的绝缘体膜图型成形的表面相联接并同时将其槽的部分定位于校准图型之上以便将那些校准图型显露出来的步骤。

本发明的第三种方式是一种制造 SOI 基片的方法,它包括:在第一硅基片的表面上形成多个绝缘体膜的图型的步骤,该多个图型包括形成于其边缘的校准图型;以及将其半径第一硅基片小的第二硅基片与第一硅基片的绝缘体膜图型成形表面相联接以便将校准图型显露出来的步骤。

本发明的第四种方式是一种制造一个 SOI 基片的方法,它包括:包括在其边缘上形成的校准图型的在第一硅基片的表面上形成多个绝缘体膜图型的步骤;将第二硅基片与第一硅基片的绝缘体膜图型成形表面相联接的步骤;以及除去第二硅基片的边缘以便将在第一硅基片的边缘上形成的校准图型显露出来的步骤。

本发明的第五种方式是一种制造 SOI 基片的方法，它包括：包括在其边缘上形成校准图型的在第一硅基片的表面上形成多个绝缘体膜图型的步骤；将一个第二硅基片与第一硅基片的绝缘体膜图型成形表面相联接的步骤；以及研磨或蚀刻掉第一硅基片的底面边缘以使包含联接于第二硅基片的绝缘体膜的校准图型显露出来的步骤。

以下是本发明附图的简要说明，通过下面对附图的描述将对本发明的以上及其它目的、优点及特征有更清楚的了解。

图 1 是按照本发明的第一个实施例描述的一个硅基片剖面图。

图 2 是根据本发明的第一个实施例描述的硅基片的平面图；

图 3 是当应用本发明的 SOI 基片时用一个掩膜来校准的方法的剖面图；

图 4 是根据本发明的第二个实施例描述的硅基片的平面图；

图 5 是根据本发明的第三个实施例描述的硅基片的平面图；

图 6 是根据本发明的第四个实例描述的硅基片的平面图；

图 7 是当应用传统 SOI 基片时，用掩膜来校准的方法的剖面图；

图 8 是生产传统 SOI 基片的传统方法的剖面图。

现在将参附图来对本发明进行阐述。图 1 (a) 到图 1 (d)，及图 2 (a) 和图 2 (b) 分别是根据本发明第一个实施例描述的剖面图及平面图。

制作具有一个 (100) 取向主表面的直径为 5 英寸的第一和第二硅基片。通过热氧化或类似方法，在第一硅基片的表面上形成一个氧化物薄膜 (未显示)，接着摹制成形在以后加工步骤中用于刻化氧化物薄膜图型 1b 的开口。用氧化物薄膜作为一个蚀刻掩膜，对第一硅基片 10 进行蚀刻，形成大约 $1\mu\text{m}$ 深的槽。槽的深度可根据所需要的特定装置的特性而变化。然后除去用作掩膜的氧化硅薄膜，接着通过热氧化低温化学汽相沉积或其它方法形成一个厚度大约与槽 2 的深度相匹配的均匀的氧化物薄膜。之后，正如在图 1 (a) 和图 2 (a) 中所示，通过研磨及抛光除去该氧化物薄膜从而留下原位埋于槽中的部分，由此在第一硅基片 10 的内部形成器件装置分离氧化物薄膜图型 1 b，以及在其边缘上形成校准氧化物薄膜图型 1a。用一个单平板印刷的掩膜依此方法同时摹制氧化物薄膜图型 1 b

和校准氧化物薄膜图型 1 a。需指出的是氧化物薄膜图型 1a 和 1b 也可为通过硅的局部氧化 (LOCOS) 来提供氧化物薄膜。

正如在图 2 (b) 中看到的第二硅基片 20 的边缘上有三个取向的平面 (简称为 OFs) 8。这些平面中, 第一个取向平面 8a 用于与第一硅基片 10 的取向平面 7 相结合, 以便校准两个基片的结晶学取向。第二和第三取向平面 8b 和 8c 形成必要的长度以便将校准氧化物薄膜图型 1a 显露出来 (例如在 $\langle 110 \rangle$ 方向长度为 40 毫米)。

接着, 正如在图 1 (b) 中看到的, 当适当放置第二和第三取向平面 8b 和 8c, 以使其不会覆盖住形成于第一硅基片上的校准氧化物薄膜图型 1a 时, 第二硅基片 20 与第一硅基片 10 相联接。这样做的结果隐埋了位于与第二硅基片 20 界面的在第一硅基片 10 内形成的氧化物薄膜图型 1b。然后联接成整体的基片在氧化气氛中于 $1100^{\circ}\text{C} \sim 1200^{\circ}\text{C}$ 下热处理 2 个小时以保证联接效果。

正如在图 1 (c) 中看到的, 通过研磨去除三个取向平面 8 的截面和第二硅基片 20 的边缘。正如在图 1d 中看到的, 第二硅基片 20 的未联接的背面表面通过研磨及抛光变薄形成一个大约 $10\mu\text{m}$ 厚的 SOI 层。该 SOI 层被设计成能保证装置的操作的厚度。最后, 用稀释的氢氟酸腐蚀掉热处理期间在基片表面形成的一个不需要的氧化膜 (未显示), 从而提供一个联接的 SOI 基片 100。

如上面所述, 根据本实施例的 SOI 基片 100, 在第一硅基片 10 的边缘上有显露的校准氧化物薄膜图型 1a。这可容许用传统的可见光校准器通过掩膜进行校准, 其精度为 $0.2\mu\text{m}$ 的数量级。

现在将参考 SOI 基片和掩膜的截面图图 3 来对校准方法做阐述。在图 3 中, 在包含 SOI 层 20a 的 SOI 基片 100 的表面上提供光刻胶薄膜 3。在 SOI 基片 100 的上面放置一个石英基片 4, 其通过在其上形成的掩膜图型而成为一个光刻掩模。在该掩膜图型中, 校准掩膜图型 5A 沿石英基片 4 及基片 10 上的校准氧化物薄膜图型 1a 的边缘部分放置而被用来通过可见光进行校准。这容许了处于石英基片 4 及氧化物薄膜图型 1b 之上的掩膜图型 5 B 的高精度校准。之后, 将在 SOI 层 20a 的表面上提供的光刻胶薄膜 3 暴露于例

如波长为 400nm 的紫外线中，以将掩膜图型 5B 转换到光刻胶薄膜 3 上。前面所述的校准程序可以高精度来完成，因为它们可用已有技术中的光学校准器上来实现。

这种应用具有校准图型的基片的掩膜校准方法保证了高精度的校准通过在形成有标准图型的第一硅基片的上成形器件及与第一硅晶片相联接的第二硅基片上成形器件的生产多层器件的工艺过程。

图 4 是根据本发明第二实施例描述的一个 SOI 基片 100A 的平面图。校准氧化物薄膜图型 1a 与第一实施例中相同的方式置于第一硅基片 10 的边缘。然而，V 形槽部分 9 形成于第二硅基片 20 的边缘之上，且两个槽部分 9 用于将校准氧化物薄膜图型显露出来。

现在阐述一种制造 SOI 基片 100A 的方法。第二硅基片 20 有两个大约 2 毫米长及大约 2 毫米宽的 V 形槽部分 9。槽的形状可根据需要制定，例如，U 形，梯形或长方形。第二硅基片 20 与第一硅基片 10 面对形成有校准氧化物薄膜图型 1a 的面对联接，从而通过槽部分 9 使氧化物薄膜图型 1a 显露出来。然后研磨及腐蚀第二硅基片 20 的边缘去掉非联接部分。最后，通过薄化形成 SOI 层 20a，形成于基片表面上的不需要的氧化物薄膜被去除以形成 SOI 基片 100A。

根据本实施例，由于通过提供比取向平面(OFs)面积小的槽部分而使校准图型显露出来，在给定直径的基片上可以获得比按照第一个实施例更多的芯片产品。这里，需要说明的是虽然前面描述的涉及具有两个槽部分的一个第二硅基片，但当然它也可提供 3 个或更多的槽。

图 5 是根据本发明第三个实施例描述的 SOI 基片的平面图。与第一个实施例相似，校准氧化物薄膜图型 1a 置于第一硅基片 10 的边缘上，并通过研磨及腐蚀过程去除第二硅基片 20 的边缘而使其显露出来。由于硅基片的整个边缘被去除，因而可提供 3 个或更多的校准氧化物薄膜图型。现在将阐述一种制造基片的方法。按与第一实施例相似的方式，形成氧化物薄膜图型 1a 和 1b 然后制备第二硅基片 20，并将其联接到包含成形于其上的氧化物薄膜图型 1a 和 1b 的第一硅基片 10 的表面上。这里，热处理的条件与第一个实施例中的条件一致。然后，沿着第二硅基片 20 的大约 1 毫米宽 50 μ m 量级

厚的边缘，该复合物被浸入诸如氢氧化钾溶液的非匀质腐蚀溶液中去掉由于研磨而显露出来的信号晶硅层。通过设定腐蚀时间及溶液温度以便使校准氧化物薄膜图型 1a 暴露出来。最后，形成 SOI 层 20a，形成于晶片表面的不需要的氧化物膜被去除而得到 SOI 晶片 100B。

与第一个实施例不同，本实施例不需要形成 OFs，这保证可用传统的用于相关领域的单晶硅晶片作为第二硅晶片。另外，去除第二硅晶片的边缘的结果同时也去除了非联接的部分以及在边缘部分常见的联接不紧的部分，从而其不会产生断裂及破损。

图 6 是根据本发明的第四个实施例描述的 SOI 晶片的截面图。其特别显示了在形成的氧化物薄膜的第一硅晶片而不是第二硅晶片的背面被通过腐蚀或其它方法被去除掉，以形成一个 SOI 层及进一步使校准图型显露出来。

更具体地说，在图 6 中，与第二硅晶片 20 的表面相联接的是一有用校准氧化物薄膜图型 1a 和氧化物薄膜图型 1b 作为器件分离的第一硅晶片 10。然后用非匀质碱腐蚀剂研磨或处理第一硅晶片 10 的背面以形成一个 SOI 层 10a 并使其边缘变薄至与氧化物薄膜相同的厚度，从而使校准氧化物薄膜图型 1a 显露出来。

根据本实施例，两晶片的联接界面形成了隐埋氧化物薄膜图型 1b 的较低界面。通过这种结构，在联接界面可能形成的空隙（未联接部分）或晶体缺陷，或者在联接过程中捕获的可能对器件性能造成负影响的杂质被隐埋的氧化物薄膜与 SOI 层 10a 隔开。相应地，一个具有如上所述结构的 SOI 晶片 100c，特别是处于隐埋氧化物薄膜上面的 SOI 层 10a 上的区域，保证了制造产生极少误差的高精度器件。

虽然通过某些最佳的实例对本发明进行了描述，必须明确由本发明所包含的主题范围不仅局限于这些特定实例。多种的改变，改进或变化也处于本发明主题的范围之中。

例如，与被隐埋的氧化物薄膜图型同时形成的校准氧化物薄膜图型，在加工 SOI 晶片的步骤中只要处于视野范围之内其厚度可被任意确定（虽然其限度要根据器件的所需的性能来决定），且在校准时具有可识别的薄膜厚度（大约 100nm 或更大）。另外，虽然在本发明的实施例中形成的是氧化硅

薄膜图型，该图型也可被制成诸如氮化硅薄膜（ Si_3N_4 ）或掺杂的硅酸盐玻璃。另外，由于校准图型的形状可按照传统的使用可见光的校准方法来确定，图型形状可根据需要确定，例如，条形、长方形、直角点阵的或正交点阵的。

如上所述，本发明通过将包含形成于硅基片边缘上的绝缘体膜的校准图型显露出来，从而可以容许用传统的光学校准器进行校准，并完成比用传输红外辐射的方法更高的精度校准。另外，本发明容许在制造含有成形于成形有校准图型的硅基片以及 SOI 层的表面上的器件的多层结构的半导体器件的步骤中产生高精度的校准。

说明书附图

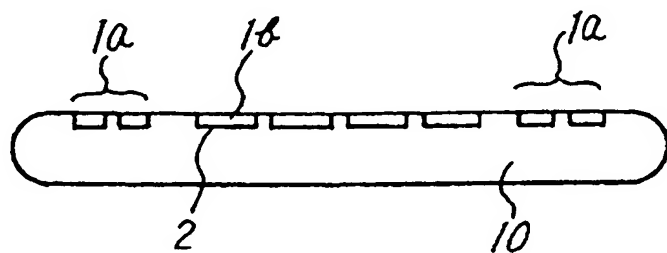


图 1(a)

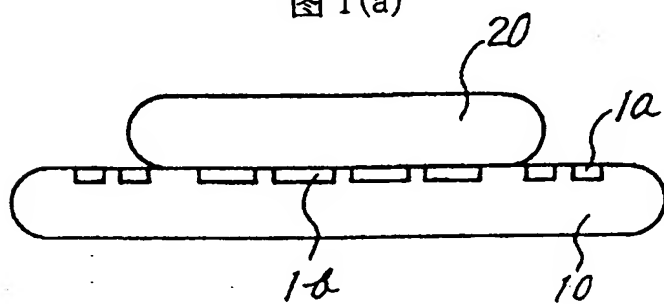


图 1(b)

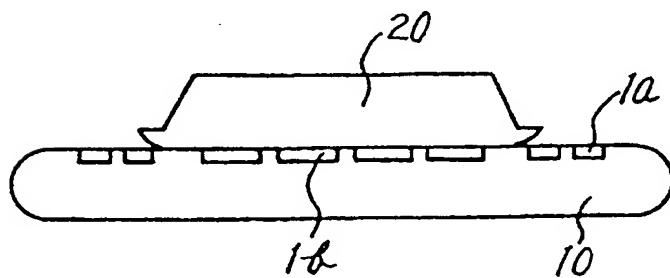


图 1(c)

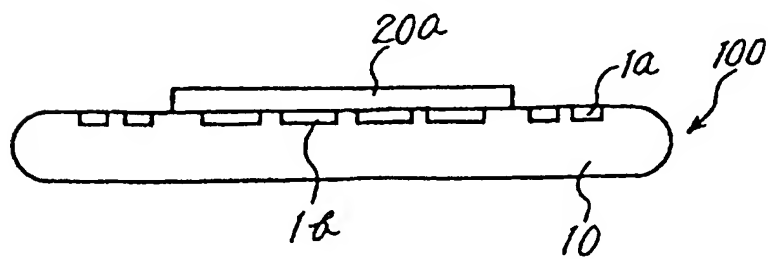


图 1(d)

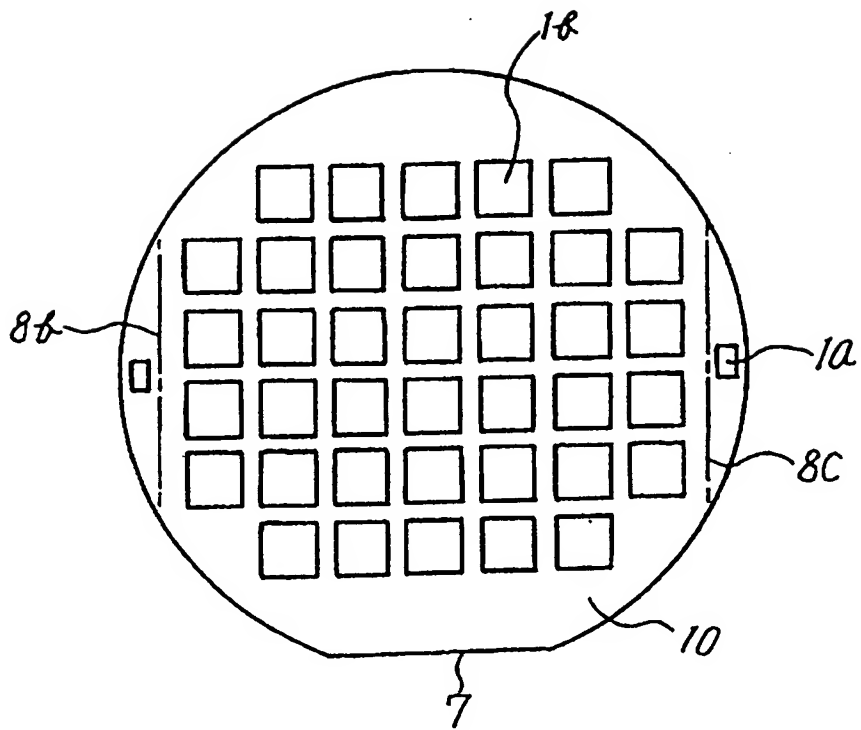


图 2(a)

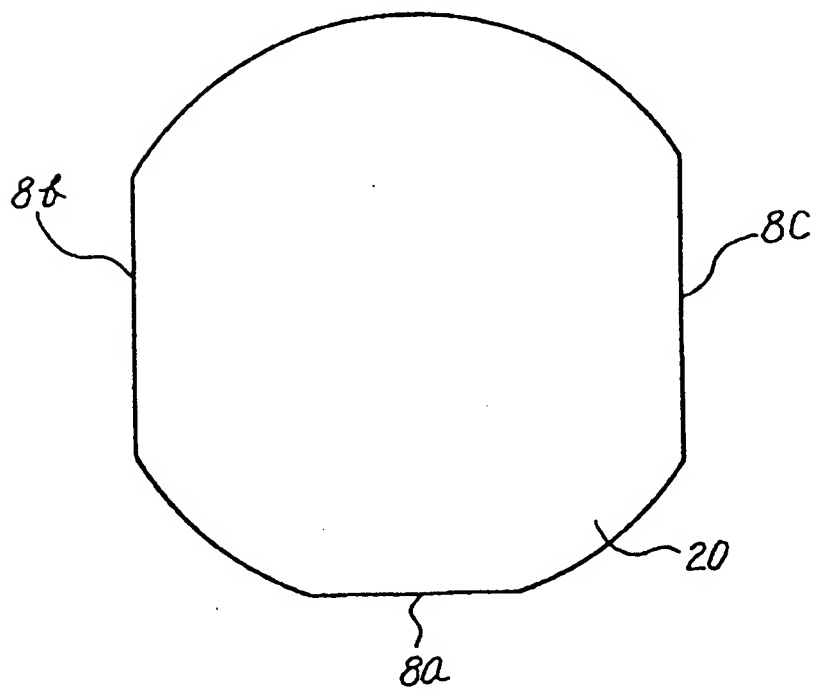


图 2(b)

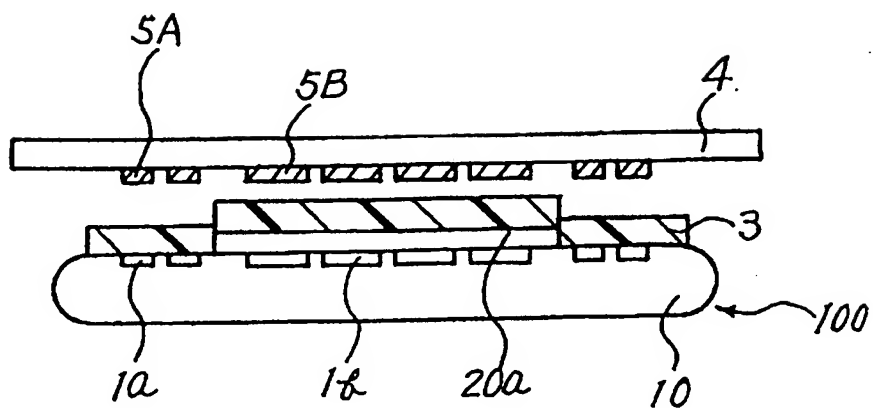


图 3

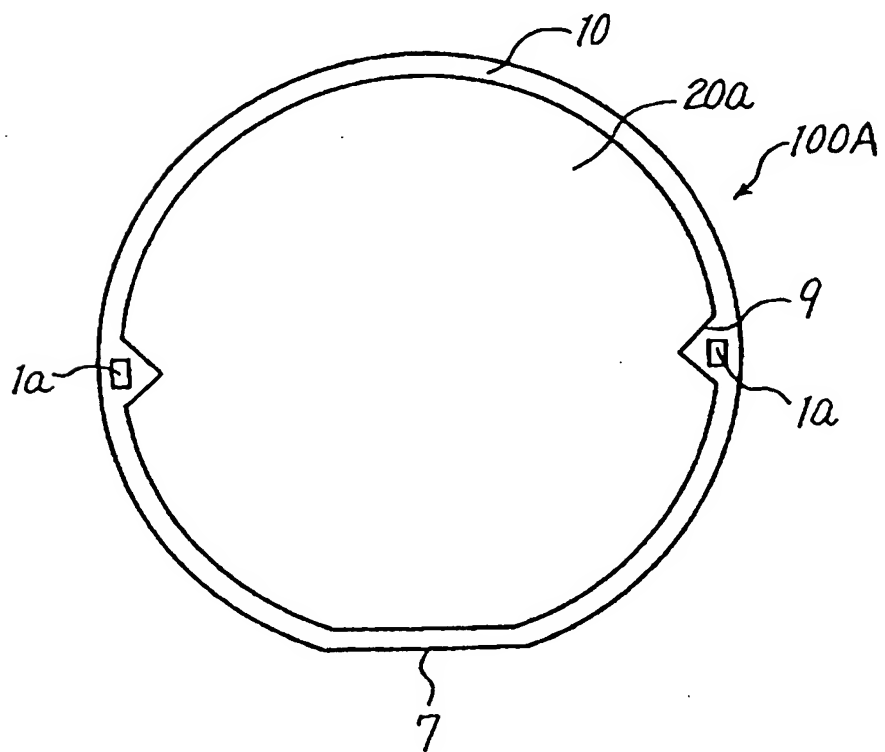


图 4

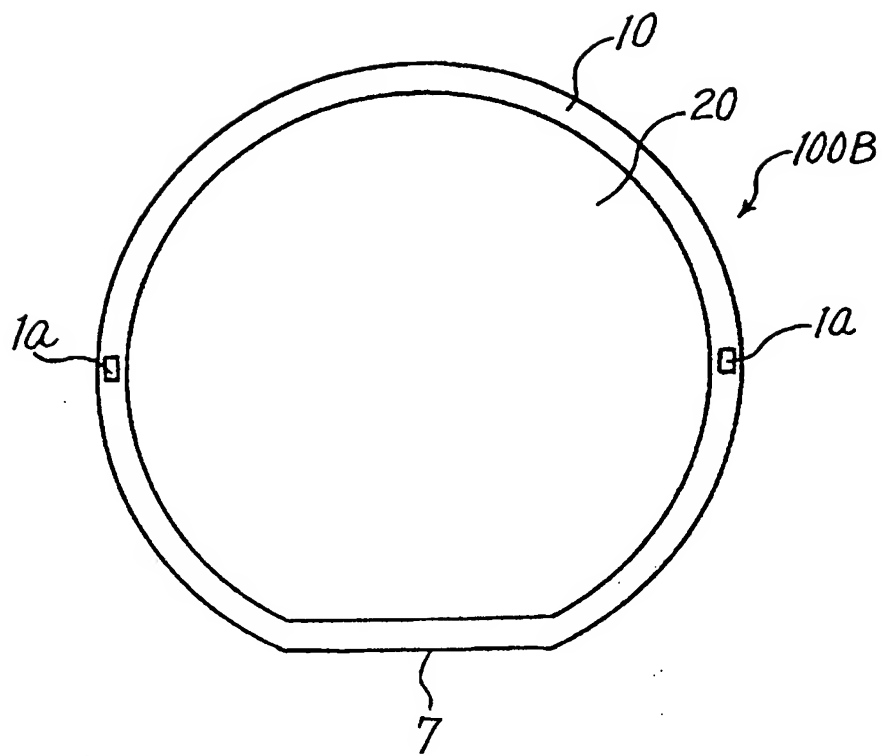


图 5

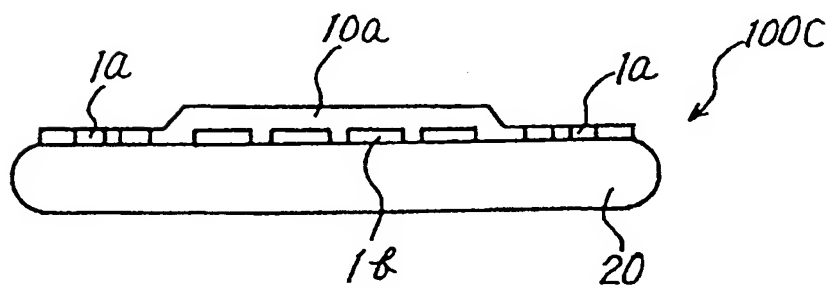


图 6

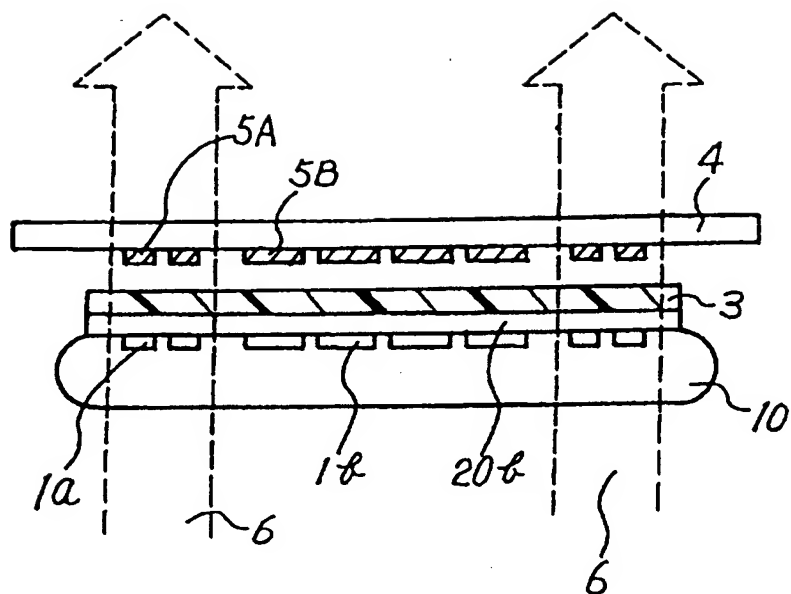


图 7

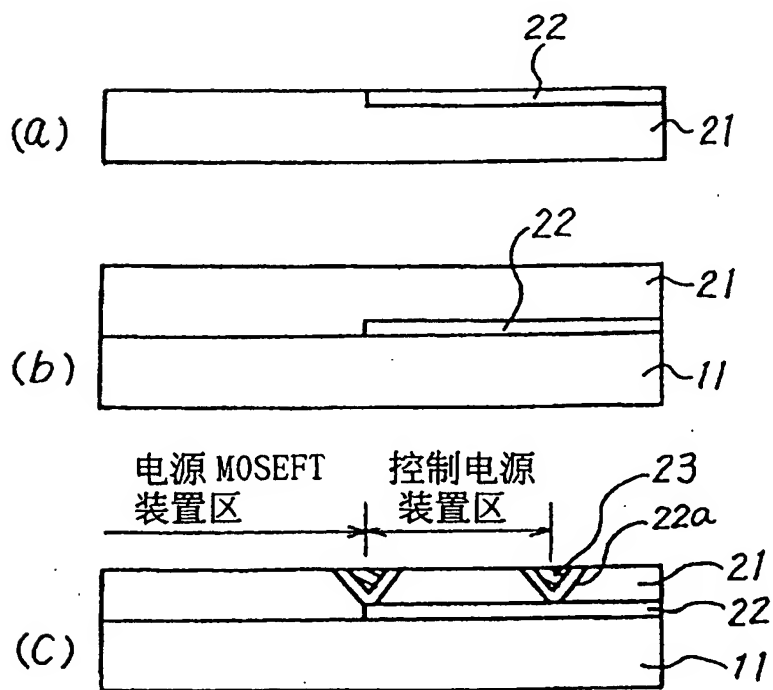


图 8